

Série d'exercices 1: Mémoires a semi-conducteurs

Exercice 1 : Capacité d'une mémoire ROM

Une mémoire ROM a une organisation de 4096 mots de 8 bits chacun.

1. Quel est le nombre total de bits ?
2. Combien de lignes d'adresses sont nécessaires ?
3. Combien de lignes de données ?

Solution

1. Capacité totale = $4096 \times 8 = 32768$ bits (ou 4 Kio).
2. Nombre de lignes d'adresses = $\log_2(4096) = 12$.
3. Lignes de données = 8 (largeur du mot).

Exercice 2 : Extension de capacité

On dispose de puces RAM de $1K \times 4$ bits. On veut réaliser une mémoire de $4K \times 8$ bits.

1. Combien de puces sont nécessaires ?
2. Dessiner le schéma de connexion (description textuelle).

Solution

1.
 - a. Extension en largeur (bits) : $8/4 = 2$ puces par mot.
 - b. Extension en profondeur (mots) : $4K/1K = 4$ blocs.
 - c. Total puces = $4 \times 2 = 8$ puces.
2.
 - a. Les 2 puces d'un même mot partagent les mêmes adresses (A0..A9).
 - b. Pour sélectionner un bloc parmi 4, on utilise 2 bits d'adresse supplémentaires (A10, A11) via un décodeur 2 vers 4.
 - c. Chaque sortie du décodeur active le chip select (CS) d'un groupe de 2 puces.
 - d. Les lignes de données : 4 bits bas sur une puce, 4 bits hauts sur l'autre.

Exercice 3 : Temps d'accès et bande passante

Une SRAM a un temps d'accès de 10 ns. Un mot fait 32 bits.

1. Quelle est la bande passante théorique maximale en Mo/s ?
2. Combien de lectures par seconde ?

Solution

1.
 - a. Taux de mots par seconde = $1 / (10 \times 10^{-9}) = 10^8$ mots/s.
 - b. Bits par seconde = $10^8 \times 32 = 3,2 \times 10^9$ bits/s = 400 Mo/s (car 1 octet = 8 bits → $3,2 \times 10^9 / 8 = 4 \times 10^8$ octets/s = 400 Mo/s).
2. **100 millions de lectures par seconde.**

Exercice 4 : DRAM et rafraîchissement

Une DRAM de 64 Mbits organisée en 8192 lignes \times 8192 colonnes \times 1 bit. Le rafraîchissement nécessite de rafraîchir chaque ligne toutes les 64 ms.

1. Combien de temps peut-on consacrer au rafraîchissement par ligne ?
2. Si un cycle de rafraîchissement dure 100 ns, quel pourcentage du temps est utilisé pour le rafraîchissement ?

Solution

1.
 - a. 8192 lignes à rafraîchir en 64 ms.
 - b. Temps par ligne = $64 \text{ ms} / 8192 = 7,8125 \mu\text{s}$.
2.
 - a. Temps de rafraîchissement par cycle = 100 ns.
 - b. Pour 8192 lignes : $8192 \times 100 \text{ ns} = 819,2 \mu\text{s}$.
 - c. Pourcentage = $(819,2 \mu\text{s}) / (64 \text{ ms}) = 819,2 / 64000 \approx 0,0128 = 1,28 \%$ du temps.

Exercice 5 : Organisation interne d'une mémoire

Une mémoire vive a une capacité de 16 Mots \times 32 bits. Elle est construite avec des puces de $2\text{M} \times 8$ bits.

1. Combien de puces ?
2. Combien de bits d'adresse pour la mémoire complète ?
3. Comment sont répartis les bits d'adresse entre sélection de puce et adresse interne ?

Solution

1.
 - a. Largeur : $32 / 8 = 4$ puces par mot.

- b. Profondeur : $16M / 2M = 8$ blocs.
 - c. Total puces = $8 \times 4 = 32$ puces.
- 2.
- a. $16M$ mots = 2^{24} mots $\rightarrow 24$ bits d'adresse.
- 3.
- a. Interne à chaque puce : $2M = 2^{21} \rightarrow 21$ bits d'adresse (A0..A20).
 - b. Sélection de bloc : 8 blocs $\rightarrow 3$ bits d'adresse (A21, A22, A23) pour un décodeur 3 vers 8.
 - c. Les 4 puces d'un même bloc partagent les 21 bits internes et reçoivent le même signal de sélection.

Exercice 6 : Comparaison SRAM / DRAM

Soit une mémoire cache de 1 Mio réalisée en SRAM et une mémoire principale de 1 Gio en DRAM.

1. Calculer le nombre de bits nécessaires pour la SRAM et pour la DRAM (y compris le rafraîchissement).
2. Sachant qu'un bit SRAM utilise 6 transistors et un bit DRAM 1 transistor + 1 condensateur, estimer le nombre de transistors pour chaque mémoire.

Solution

1.
 - a. SRAM : $1 \text{ Mio} = 2^{20} \times 8 = 8\,388\,608$ bits. Pas de rafraîchissement supplémentaire.
 - b. DRAM : $1 \text{ Gio} = 2^{30} \times 8 = 8\,589\,934\,592$ bits.
En pratique, la DRAM a des bits de correction d'erreur et de redondance (environ 12,5 % de plus), mais on prend ici le brut : $\sim 8,59 \times 10^9$ bits.
2.
 - a. SRAM : $8\,388\,608 \times 6 \approx 50,3$ millions de transistors.
 - b. DRAM : $8,59 \times 10^9 \times 1$ transistor = **8,59 milliards de transistors** (sans compter la logique de rafraîchissement et les amplificateurs de lecture).
3. \rightarrow La DRAM stocke bien plus de bits pour un nombre de transistors bien moindre par bit.