

Chapitre 5

Les interruptions

5.1 Introduction

Les interruptions sont un mécanisme essentiel dans les microprocesseurs, permettant aux périphériques de signaler au CPU qu'ils nécessitent une attention immédiate. Le 8085 Intel gère plusieurs types d'interruptions, chacune avec des priorités et des mécanismes de traitement spécifiques. Ce chapitre détaille leur fonctionnement, leur gestion et leur programmation.

5.2 Généralités sur les interruptions

Une interruption est un signal envoyé par un périphérique ou un logiciel pour demander l'exécution immédiate d'une routine spécifique (**routine d'interruption** ou **ISR - (Interrupt Service Routine)**).

5.2.1 *Utilité des interruptions*

- Éviter le polling (attente active), ce qui optimise les performances.
- Permettre une réponse rapide aux événements externes (clavier, timer, disque, etc.).
- Faciliter la gestion multitâche.

5.2.2 Comparaison avec le polling

la table 5.1 illustre une comparaison des interruption avec le polling.

Tableau 5.1: Comparaison entre le Polling et L'interruption

Critère	Polling	Interruption
Efficacité CPU	Faible (CPU occupé en attente)	Haute (CPU libre jusqu'à l'appel)
Temps de réponse	Lent (dépend du temps de scrutation)	Rapide (immédiat)
Complexité	Simple à implémenter	Plus complexe (gestion des ISR)

5.3 Types d'interruptions du 8085

Le 8085 prend en charge deux types d'interruptions :

- **Interruptions matérielles (Hardware Interrupts)** : Générées par des signaux externes via des broches dédiées.
- **Interruptions logicielles (Software Interrupts)** : Générées par des instructions spécifiques dans le programme.

5.3.1 Interruptions matérielles

Les interruptions matérielles dans le 8085 sont des signaux asynchrones envoyés par des périphériques externes pour demander une action immédiate du processeur. Le 8085 dispose de 5 lignes d'interruption : TRAP, RST 7.5, RST 6.5, RST 5.5 et INTR, chacune avec des caractéristiques distinctes. la table 5.2 donne un aperçu explicatif des priorités de ces interruptions matérielles.

Tableau 5.2: Interruptions matérielles, priorité, Type, et Vecteurs d'adresse

Interruption	Priorité	Type	Vecteur	Masquable ?
TRAP	1 (Max)	Non masquable	0024H	Non
RST 7.5	2	Masquable (Edge)	003CH	Oui
RST 6.5	3	Masquable (Level)	0034H	Oui
RST 5.5	4	Masquable (Level)	002CH	Oui
INTR	5	Masquable (Level)	–	Oui

5.3.2 Interruptions logicielles

Le 8085 dispose de huit interruptions logicielles, appelées RST n (où n=0 à 7). Chaque instruction RST n provoque un saut vers une adresse mémoire prédéfinie . La table 5.3 donne un aperçu explicatif des priorités de ces interruptions logicielles.

Tableau 5.3: Interruptions Logicielles, priorité, Code Hex, et Vecteurs d'adresse

Instruction	Code HEX	Adresse vecteur
RST 0	C7	0000H
RST 1	CF	0008H
RST 2	D7	0010H
RST 3	DF	0018H
RST 4	E7	0020H
RST 5	EF	0028H
RST 6	F7	0030H
RST 7	FF	0038H

5.4 Protocoles d'échanges de données

5.4.1 Par test d'état (*Polling*)

Le CPU vérifie en boucle l'état d'un périphérique. L'exemple suivant en assembleur 8085 illustre le test de l'état du Polling :

CHECK : IN 01H ; Lit le port 01 (état du périphérique)

ANI 80H ; Vérifie le bit 7 (flag de disponibilité)

JZ CHECK ; Si non prêt, recommence

IN 02H ; Lit les données du périphérique

5.4.2 Par interruption

- Le périphérique envoie un signal INTR (Interrupt Request).
- Le CPU suspend son exécution et exécute l'ISR.

5.4.3 *Par accès direct en mémoire (DMA - Direct Memory Access)*

- Le périphérique écrit directement en mémoire sans passer par le CPU.
- Le 8085 utilise le signal HOLD pour activer le mode DMA.

5.5 Fonctionnement des interruptions

5.5.1 *Reconnaissance d'une interruption*

- Le 8085 vérifie les interruptions à la fin de chaque instruction.
- Si une interruption est active et non masquée, le processeur :
 1. Sauvegarde l'adresse de retour (PC) dans la pile.
 2. Désactive les interruptions masquables (sauf TRAP).
 3. Saute vers l'adresse vecteur correspondante.

5.5.2 *Retour d'une interruption*

- L'instruction RET (Return from Interrupt) restaure le PC depuis la pile.
- Les interruptions masquables doivent être réactivées manuellement avec EI.

5.6 Gestion des interruptions masquables

5.6.1 *Instructions de contrôle*

- **EI (Enable Interrupts)** : Active les interruptions.
- **DI (Disable Interrupts)** : Désactive les interruptions.
- **SIM (Set Interrupt Masks)** : Configure le masquage des interruptions (RST 7.5, RST 6.5, RST 5.5).

- **RIM (Read Interrupt Masks)** : Lit l'état des interruptions masquées et en attente.

5.6.2 *Format de l'instruction SIM*

L'instruction SIM permet de configurer :

- Le masquage des interruptions (bits D2-D0).
- La réinitialisation de RST 7.5 (bit D4).
- La sortie série via SOD (bits D6-D7).

la table 5.4 Résume la fonction de chaque bit du format de l'instruction SIM.

Tableau 5.4: format de l'instruction SIM

Bit	Fonction
D7	Donnée d'entrée SID
D6	Interruption RST 7.5 en attente
D5	Interruption RST 6.5 en attente
D4	Interruption RST 5.5 en attente
D3	État de l'activation des interruptions
D2	Masque RST 7.5 Actif
D1	Masque RST 6.5 Actif
D0	Masque RST 5.5 Actif

5.6.3 *Format de l'instruction RIM*

L'instruction RIM permet de lire :

- L'état des interruptions en attente (bits D6-D4).
- Le masquage actuel (bits D2-D0).

— L'entrée série SID (bit D7).

la table 5.5 Résume la fonction de chaque bit du format de l'instruction SIM.

Tableau 5.5: format de l'instruction RIM

Bit	Fonction
D7	Donnée de sortie SOD
D6	Activation de SOD
D5	Non utilisé
D4	Réinitialisation RST 7.5
D3	Activation du masquage
D2	Masque RST 7.5
D1	Masque RST 6.5
D0	Masque RST 5.5