

Chapitre 4

Interfaces Entrées/Sorties

4.1 Introduction

L'interfaçage du microprocesseur 8085 avec les périphériques revêt une importance capitale dans la conception de systèmes informatiques complets. Pour permettre au 8085 de communiquer efficacement avec différents périphériques, tels que des dispositifs de stockage, des interfaces d'entrée/sortie, des capteurs, et d'autres composants externes, plusieurs aspects doivent être pris en compte.

1. **Interfaces d'Entrée/Sortie (E/S) :** Le 8085 peut être utilisé pour contrôler des interfaces d'E/S, permettant la communication avec des dispositifs tels que des claviers, des écrans, des capteurs, des actionneurs, etc.
2. **Ports Série/Parallèle :** Le 8085 peut être connecté à des ports série ou parallèles pour la communication avec d'autres systèmes ou périphériques, tels que des imprimantes, des scanners, des modems, etc.
3. **Cartes d'Extension :** Des cartes d'extension personnalisées peuvent être conçues pour répondre à des besoins spécifiques. Ces cartes peuvent inclure des interfaces spécialisées, des convertisseurs analogique-numérique (CAN) ou numérique-analogique (ADC) (DAC), etc.

4. **Contrôleurs d’Affichage** : Pour les applications nécessitant une sortie visuelle, le 8085 peut être connecté à des contrôleurs d’affichage pour piloter des écrans, des écrans LED (LED) , etc.

4.2 interfaces d’Entrée/Sortie parallèle 8255

L’interface 8255 (Programmable Peripheral Interface) (PPI) est un circuit intégré conçu par Intel pour simplifier l’interfaçage entre un microprocesseur (comme le 8085) et des périphériques externes. Elle dispose de trois ports de 8 broches, chacun pouvant être configuré indépendamment en entrée, sortie, ou mode bidirectionnel, avec possibilité de gestion par handshake. Grâce à sa flexibilité, la PPI 8255 est couramment utilisée pour :

- Gérer des entrées/sorties (claviers, afficheurs, capteurs).
- Contrôler des temporisations et des séquences logiques.
- Implémenter des protocoles de communication spécifiques

Son adaptabilité en fait un composant essentiel pour l’extension des capacités des systèmes embarqués et des microcontrôleurs.

4.2.1 Architecture externe du 8255

La PPI (Programmable Peripheral Interface) se présente sous la forme d’un circuit DIL (Dual In-Line) de 40 broches. La figure 4.1 illustre le brochage du circuit 8255, tandis que la figure 4.2 présente son diagramme fonctionnel.

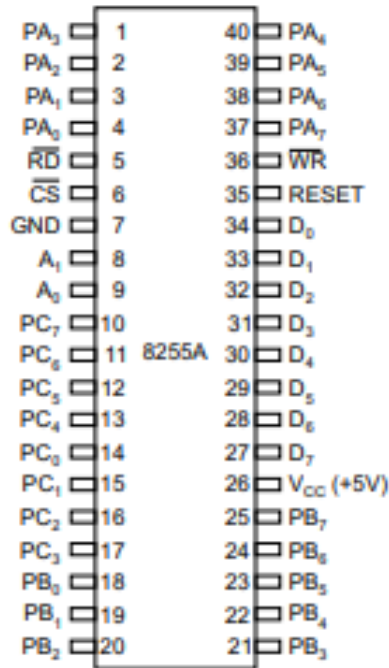


Figure 4.1: Brochage du circuit PPI 8255

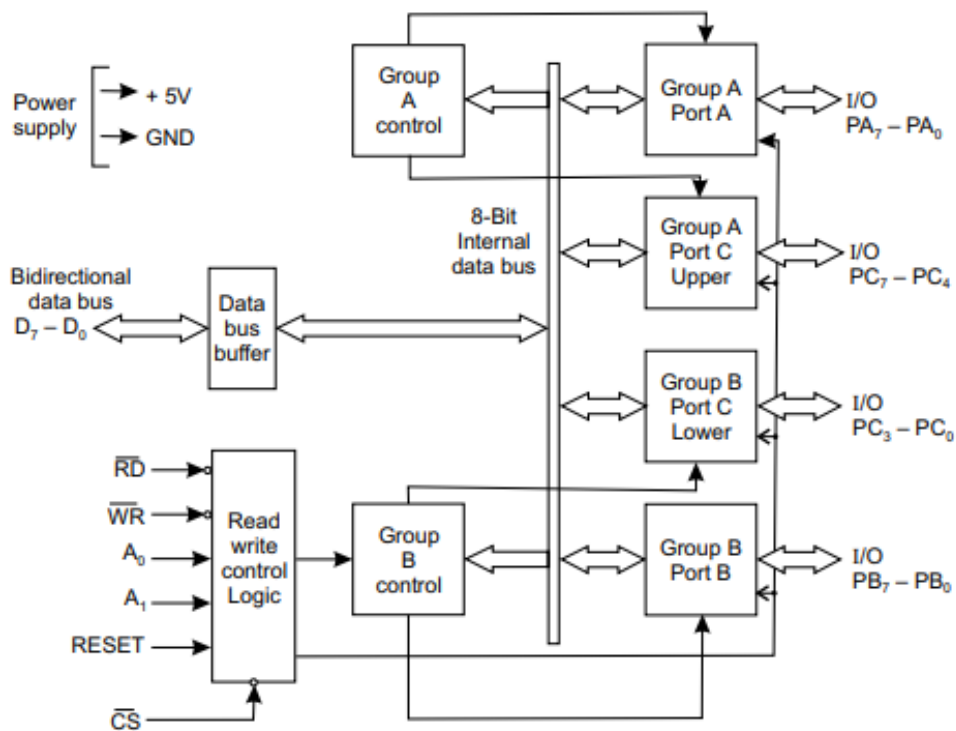


Figure 4.2: Diagramme fonctionnel de la PPI 8255

Le 8255 comporte trois ports principaux :

- Port A (8 broches)

- Port B (8 broches)
- Port C (8 broches)

Le Port C peut être divisé en deux demi-ports :

- Port C supérieur (PC₇-PC₄)
- Port C inférieur (PC₃-PC₀)

Signaux de contrôle Six broches gèrent la logique de contrôle :

- RD (Lecture) (RD)
- WR (Écriture) (WR)
- A₀, A₁ (Sélection de registre)
- Reset (Réinitialisation)
- CS (Sélection de circuit) (CS)

4.2.2 Architecture interne du 8255

Le circuit PPI 8255 est conçu pour gérer efficacement les entrées/sorties parallèles dans un système à microprocesseur tel que le 8085. Il possède plusieurs registres internes, qui jouent un rôle essentiel dans son fonctionnement. Parmi ces registres, certains sont dédiés à la gestion des données, permettant l'échange d'informations entre le microprocesseur et les périphériques externes. Les autres registres sont utilisés pour la configuration et le contrôle du circuit, notamment pour définir le rôle (entrée ou sortie) des ports A, B et C, ainsi que pour sélectionner le mode de fonctionnement approprié (Mode 0, Mode 1 ou Mode 2). Grâce à cette structure interne, le 8255 offre une grande flexibilité pour interfacer divers dispositifs dans un système embarqué.

Le circuit 8255 utilise les lignes d'adresses A1 et A0 pour sélectionner l'un de ses quatre registres internes. Ces lignes permettent, via un décodage binaire, de distinguer entre les ports A, B, C et le registre de contrôle. Les différentes adresses permettant d'accéder aux registres internes du 8255 sont résumées dans le tableau 4.1.

Tableau 4.1: Tableau des adresses d'accès aux registres internes du circuit 8255.

Adresse Binaire A1 :A0	Port Ciblé	Fonction
00	Port A	Lecture ou écriture de données sur le port A
01	Port B	Lecture ou écriture de données sur le port B
10	Port C	Lecture ou écriture de données sur le port C
11	Registre de Contrôle	Écriture uniquement, permet de configurer les modes et les ports

Configuration des Ports :

Le Circuit PPI 8255 fonctionne en trois modes opérationnels distincts : les modes 0, 1 et 2, chacun offrant des fonctionnalités adaptées à différents besoins d'interfaçage.

1. Le mode 0, ou mode basique d'entrée/sortie, permet une configuration individuelle des trois ports (A, B et C) en entrée ou en sortie. Dans ce mode, les sorties sont verrouillées tandis que les entrées ne le sont pas, et il ne prend pas en charge la gestion d'interruptions.
2. Le mode 1, qualifié de mode d'entrée/sortie avec synchronisation, intègre des signaux de contrôle supplémentaires pour le verrouillage des données. Ce mode, qui supporte les interruptions, utilise des bits du port C pour établir une communication par handshaking, essentielle pour la synchronisation entre le processeur et les périphériques lents comme les imprimantes.
3. Le mode 2, ou mode bidirectionnel, offre des capacités d'E/S bidirectionnelles sur les ports A et B, avec le port C dédié au contrôle. Ce mode combine les fonctionnalités des modes 1 pour les deux directions de transfert.

Ces trois modes sont configurés comme suit :

- Le mode I/O, activé lorsque D7 est à 1, englobe les trois modes opéra-

tionnels (0, 1 et 2). La figure 4.3 illustre la configuration des trois modes fonctionnels.

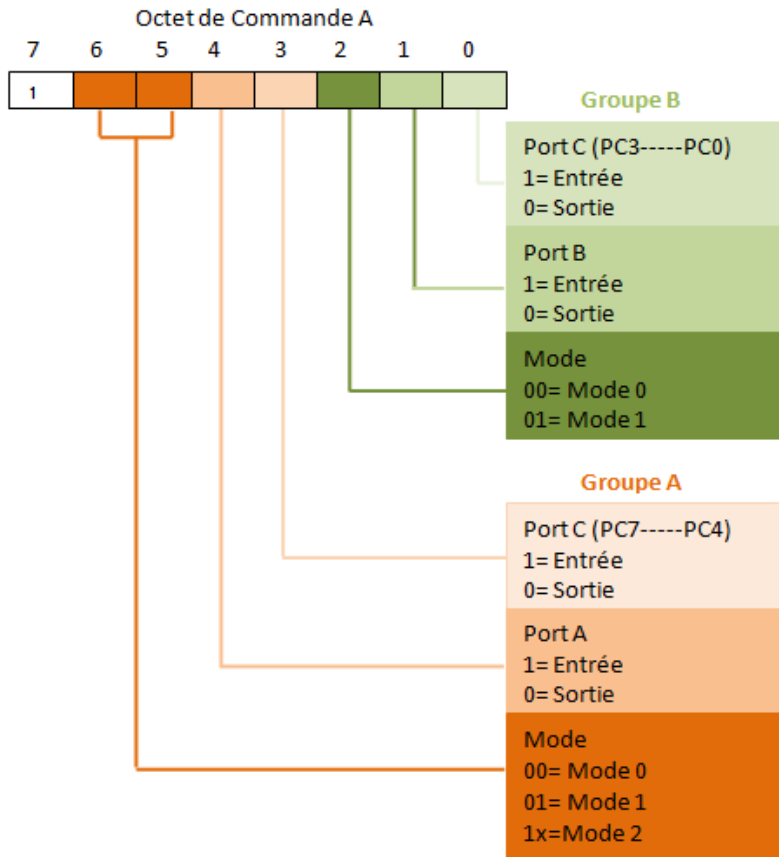


Figure 4.3: Configuration du Mode de fonctionnement

- Le mode BSR (Bit Set/Reset), activé lorsque le bit D7 du registre de contrôle est à 0, permet de modifier individuellement les bits du port C. La figure 4.4 illustre la configuration en mode Burst.

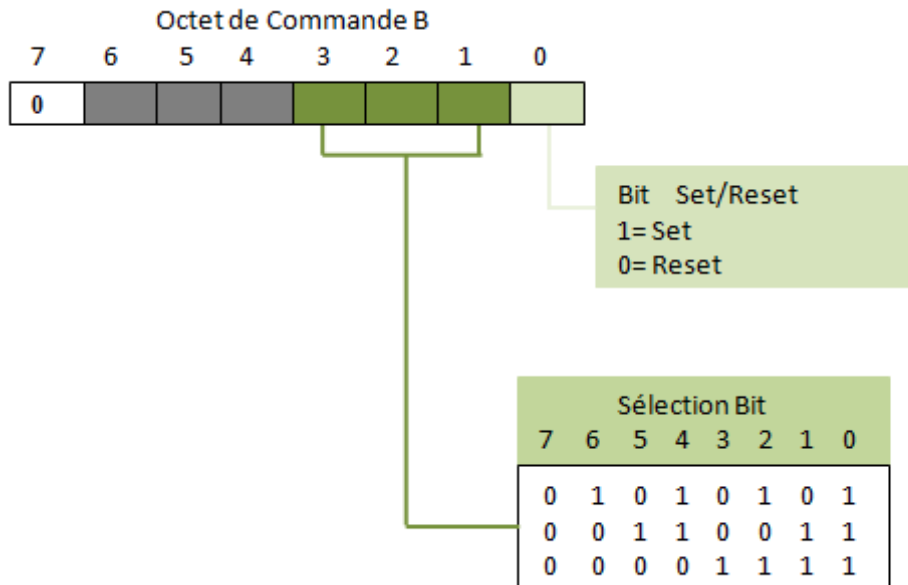


Figure 4.4: Configuration du Mode Burst

La programmation des registres de contrôle permet une personnalisation fine des fonctionnalités, offrant ainsi une grande flexibilité pour l'interfaçage avec divers périphériques. Cette polyvalence fait du 8255 un composant clé dans de nombreuses architectures système nécessitant une gestion avancée des entrées/sorties.

4.3 interfaces d'Entrée/Sortie Serie 8251

L'interface universelle de communication série 8251(USART) (Universal Synchronous Asynchronous Receiver Transmitter) assure la médiation entre le microprocesseur et les périphériques en assurant la conversion des données série vers un format parallèle, et inversement.

Son fonctionnement repose sur trois principes fondamentaux :

1. Réception et conversion : L'USART capture les données en mode série depuis les périphériques externes et les transforme en données parallèles.

2. Transmission vers le CPU : Une fois converties, ces données sont transmises au microprocesseur sous forme parallèle pour traitement.
3. Émission vers les périphériques : Inversement, l'USART reçoit des données parallèles du microprocesseur, les convertit en flux série, puis les transmet aux dispositifs périphériques.

Ce mécanisme bidirectionnel permet une intégration transparente entre les architectures parallèles des microprocesseurs et les protocoles série des périphériques externes.

4.3.1 Architecture Externe du 8251

Le brochage de l'USART 8251 est illustré sur la Figure 4.5.

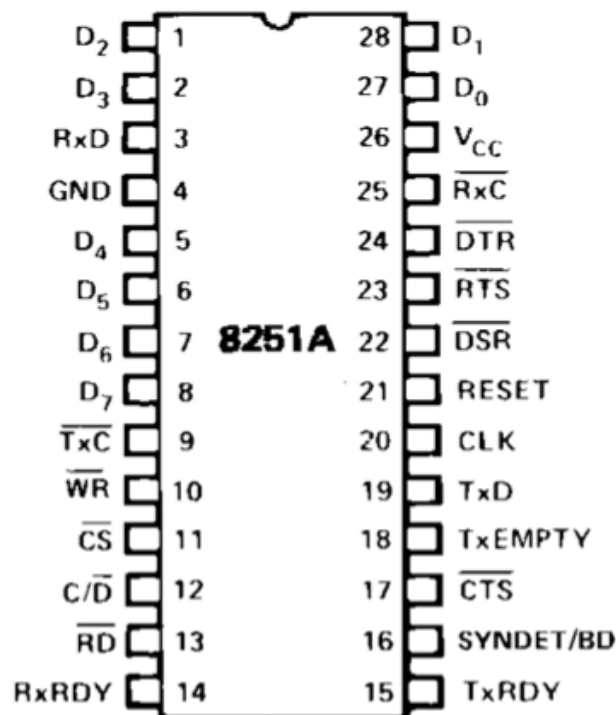


Figure 4.5: Brochage de L'USART 8251

4.3.2 Architecture interne du 8251

L'architecture interne de l'USART, Figure 4.6 contient les blocs suivant :

1. **Tampon du bus de données (Data bus buffer)** : Ce module permet l'interface entre le bus de données interne du 8251 et le bus de données du système. La transmission des données entre le 8251 et le CPU est assurée par le tampon du bus de données.
2. **Logique de contrôle lecture/écriture(Read/Write control logic)** : Il s'agit d'un module de contrôle global du dispositif. Il régit le fonctionnement général en sélectionnant l'opération à effectuer. Le choix de l'opération dépend des signaux d'entrée, Voir Tableau ??

Tableau 4.2: Contrôle des opérations via les signaux de contrôle

CS	C/D	RD	WR	Opération
1	X	X	X	Invalide
0	0	0	1	Direction Data 8251 vers CPU
0	0	1	0	Direction Data CPU vers 8251
0	1	0	1	Mot d'État 8251 vers CPU
0	1	1	0	Mot Contrôle CPU vers 8251

3. **Contrôle modem (modulateur/démodulateur)** : Un appareil convertit les signaux analogiques en signaux numériques et vice versa, permettant aux ordinateurs de communiquer via des lignes téléphoniques ou des câbles. Les broches suivantes du modem sont actives à l'état bas :
 - **DSR (Data Set Ready)** : un signal d'entrée indiquant que le modem est prêt.
 - **DTR (Data Terminal Ready)** : un signal de sortie indiquant que le terminal est prêt.
 - **CTS (Clear to Send)** : un signal d'entrée contrôlant le circuit d'émis-

sion de données.

- **RTS (Request to Send)** : un signal de sortie utilisé pour définir l'état RTS.

4. **Tampon d'émission (Transmit Buffer)** : Ce module assure la conversion parallèle-série, recevant un octet en parallèle pour le convertir en signal série avant transmission sur le canal commun.

- **TxD** : signal de sortie ; si sa valeur est à 1, l'émetteur transmet les données.

5. **Contrôle d'émission (Transmit Control)** : Ce module régule la transmission des données à l'aide des broches suivantes :

- **TxRDY** : indique que l'émetteur est prêt à transmettre un caractère.

- **TxEMPTY** : signal de sortie indiquant que la broche TxEMPTY a transmis tous les caractères et que l'émetteur est vide.

- **TxC** : broche d'entrée active à l'état bas contrôlant la vitesse de transmission des données émises.

6. **Tampon de réception (Receive Buffer)** : Ce module sert de mémoire tampon pour les données reçues.

- **RxD** : signal d'entrée recevant les données.

7. **Contrôle de réception (Receive Control)** : Ce module gère la réception des données.

- **RxRDY** : signal d'entrée indiquant que le récepteur est prêt à recevoir des données.

- **RxC** : signal d'entrée actif à l'état bas contrôlant la vitesse de transmission des données reçues.

- **SYNDET/BD** : terminal d'entrée ou de sortie. En mode synchrone externe, il fonctionne comme une entrée ; en mode asynchrone, comme une sortie.

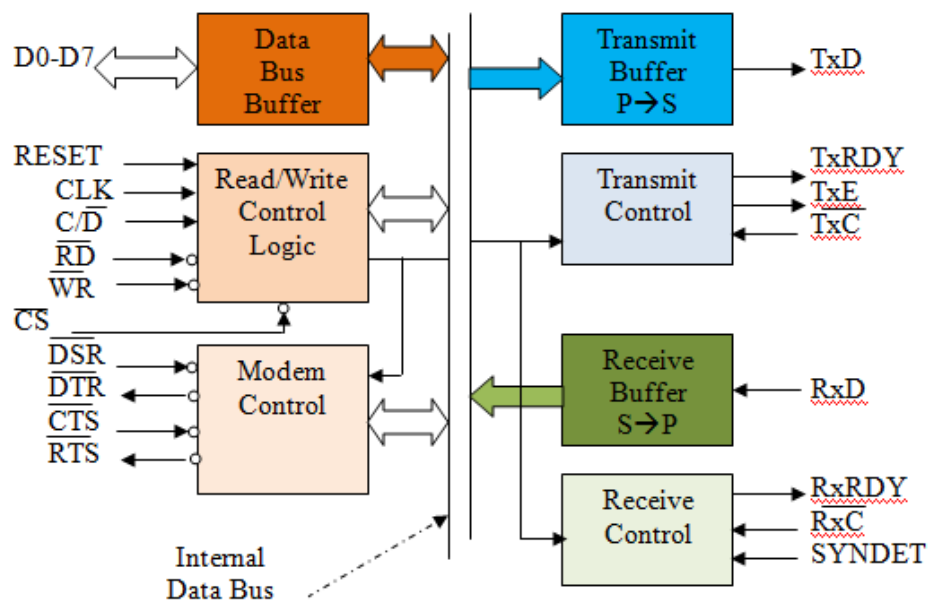


Figure 4.6: Diagramme Bloc de L'USART